

549,022

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004年7月22日 (22.07.2004)

PCT

(10) 国際公開番号
WO 2004/062223 A1

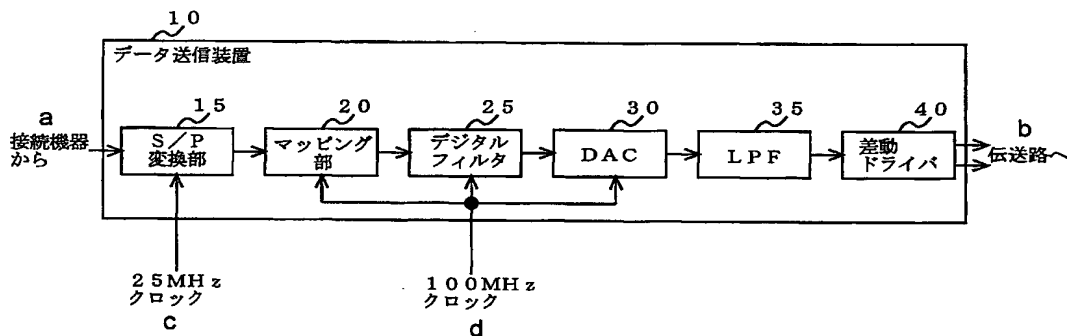
- (51) 国際特許分類: H04L 25/49, 7/00
(21) 国際出願番号: PCT/JP2003/016917
(22) 国際出願日: 2003年12月26日 (26.12.2003)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(30) 優先権データ:
特願 2002-381104
2002年12月27日 (27.12.2002) JP
(71) 出願人 (米国を除く全ての指定国について): 松下電
器産業株式会社 (MATSUSHITA ELECTRIC INDUS-
TRIAL CO., LTD.) [JP/JP]; 〒571-8501 大阪府 門真市
大字門真 1 0 0 6 Osaka (JP).

- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 水口 裕二
(MIZUGUCHI, Yuji) [JP/JP]; 〒573-0165 大阪府 枚
方市 山田池東町 4 6 - 1 - 4 0 6 Osaka (JP). 安井
伸彦 (YASUI, Nobuhiko) [JP/JP]; 〒570-0017 大阪
府 守口市 佐太東町 1 - 4 0 - 3 - 3 0 3 Osaka (JP).
勝田 昇 (KATTA, Noboru) [JP/JP]; 〒664-0017 兵庫
県 伊丹市 瑞ヶ丘 1 - 4 9 - 1 Hyogo (JP). 堺 貴久
(SAKAI, Takahisa) [JP/JP]; 〒661-0953 兵庫県 尼崎市
東園田町 8 - 4 8 - 1 4 - 2 0 2 Hyogo (JP). 高平 豊
(TAKAHIRA, Yutaka) [JP/JP]; 〒572-0083 大阪府 寝屋
川市 郡元町 1 3 - 1 8 - 1 0 2 Osaka (JP). 河田 浩嗣
(KAWADA, Hirotsugu) [JP/JP]; 〒543-0043 大阪府 大
阪市 天王寺区勝山 2 - 3 - 1 8 - 4 0 4 Osaka (JP). 梅
井 俊智 (UMEI, Toshitomo) [JP/JP]; 〒566-0033 大阪府

[続葉有]

(54) Title: SYMBOL POSITION DETECTION DEVICE AND SYMBOL POSITION DETECTION METHOD

(54) 発明の名称: シンボル位置検出装置およびシンボル位置検出方法



a... FROM CONNECTION DEVICE
10... DATA TRANSMISSION DEVICE
15... S/P CONVERSION SECTION
20... MAPPING SECTION
25... DIGITAL FILTER

40... DIFFERENTIAL DRIVER
b... TO TRANSMISSION PATH
c... 25 MHz CLOCK
d... 100 MHz CLOCK

(57) Abstract: A signal having frequency of 12.5 MHz and including data is transmitted to a data reception device. The data reception device creates a clock B having a frequency of 400 MHz in (1) of Fig. 8 and performs sampling of the 12.5 MHz signal according to the clock B ((2) of Fig. 8). The data reception device detects a zero cross point of the sampled data and creates a clock signal of 25 MHz frequency indicating the zero cross point ((3) in Fig. 8). Next, the data reception device delays the created clock signal by 8 clocks, thereby creating a 25 MHz signal indicating the symbol point ((4) in Fig. 8). Thus, it is possible to detect the symbol point.

(57) 要約: データ受信装置には、12.5 MHzの周波数を持ち、データが含まれた信号が送信されてくる。当該データ受信装置は、図8の(1)の400 MHzの周波数を持ったクロックBを作成して、当該クロックBに基づいて、上記12.5 MHzの信号をサンプリングする(図8の(2))。そして、データ受信装置は、サンプリングしたデータのゼロクロス

[続葉有]

WO 2004/062223 A1



摂津市 学園町 2-1 0-1 2-4 0 8 Osaka (JP). 秋田 貴志 (AKITA, Takashi) [JP/JP]; 〒532-0022 大阪府 大阪市 淀川区野中南 1-4-4 0-7 1 8 Osaka (JP). 吉河 武文 (YOSHIKAWA, Takefumi) [JP/JP]; 〒662-0871 兵庫県 西宮市 愛宕山 3-1 9 Hyogo (JP). 道正 志郎 (DOSHO, Shiro) [JP/JP]; 〒563-0024 大阪府 池田市 鉢塚 3-3-5-2 0 2 Osaka (JP).

(74) 代理人: 小笠原 史朗 (OGASAWARA, Shiro); 〒564-0053 大阪府 吹田市 江の木町 3 番 1 1 号 第 3 ロンデビル Osaka (JP).

(81) 指定国 (国内): JP, US.

(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

添付公開書類:

- 国際調査報告書
- 補正書

2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

点を検出し、ゼロクロス点を示す 25 MHz の周波数のクロック信号を作成する (図 8 の (3))。次に、データ受信装置は、当該作成したクロック信号を 8 クロック分の時間遅延することにより、シンボル点を示す 25 MHz の信号を作成する (図 8 の (4))。これにより、シンボル点の検出が可能となる。

明 細 書

シンボル位置検出装置およびシンボル位置検出方法

技術分野

本発明は、シンボル位置検出装置に関する発明であって、より特定のには、所定の周波数を持ったクロック信号に基づいて送信されてきたデータ信号のシンボルの位置を検出するシンボル位置検出装置に関する発明である。

背景技術

従来のデータ受信装置に、データ送信装置から送信されてきた電気信号や光信号を受信して、クロック信号を再生してデータ送信装置との同期を取りながら、当該電気信号や光信号の信号レベルの判定等を行うデータ受信装置が存在する。このようなデータ受信装置は、一般的には、データ送信装置と周波数および位相の同期を取るために、送信されてきたクロック信号の周波数および位相のずれを検出し、当該ずれに基づいて、自機の発振部が発振するクロック信号の周波数および位相を制御する（例えば、国際公開番号第02/30078号パンフレット）。

図17は、上記一般的なデータ受信装置の構成を示したブロック図である。図17に示されるデータ受信装置は、CATV（Cable Television）のデータ受信機であり、チューナ1005、ダウンコンバータ1010、ADC（アナログデジタルコンバータ）1015、

検波器 1 0 2 0、デジタルフィルタ 1 0 2 5、判定部 1 0 3 0、デスクランブラ 1 0 3 5 およびクロック再生部 1 0 4 0 を備える。また、クロック再生部 1 0 4 0 は、制御部 1 0 4 5 および発振部 1 0 5 0 を含む。

C A T V のデータにはスクランブル処理が施されており、受信されるデータシンボルは全ての信号レベルが略平均的に含まれるものである。C A T V の伝送方式としては、1 6 Q A M (Q u a d r a t u r e A m p l i t u d e M o d u l a t i o n) や 6 4 Q A M 等の直交振幅変調が用いられ、伝送路には通常同軸ケーブルが使用される。

それでは、以下に、図 1 7 に示される従来のデータ受信装置の動作について説明する。

同軸ケーブルを介して受信される Q A M 変調信号は、チューナ 1 0 0 5 とダウンコンバータ 1 0 1 0 を介して周波数変換され、1 チャンネル分の Q A M 変調信号が A D C 1 0 1 5 に入力される。この 1 チャンネル分の Q A M 変調信号は、A D C 1 0 1 5 でデジタル信号に変換され、検波部 1 0 2 0 で I 信号と Q 信号とが分離復調される。そして、当該 Q A M 信号は、デジタルフィルタ 1 0 2 5 でノイズ除去された後、判定部 1 0 3 0 でデータシンボルが復号され、デスクランブラ 1 0 3 5 でデスクランブル処理が行われ、データが得られる。また、クロック再生部 1 0 4 0 の制御部 1 0 4 5 は、クロック信号の I 信号と Q 信号とから、当該クロック信号と発振部 1 0 5 0 の発振するクロック信号との周波数および位相のずれを検出し、発振部 1 0 5 0 が発振するクロック信号の周波数および位相を制御する。

これにより、データ受信装置 1000 の各構成部は、データ送信装置とクロック同期を取りながら動作することができる。

発明の開示

ここで、上記従来の発振部 1050 には、VCO (Voltage Controlled Oscillator) がよく用いられる。当該 VCO は、制御電圧によって発振周波数を変化させることができる発信器であり、安価で入手可能であるというメリットを有する。しかしながら、上記 VCO は、制御電圧の変化量に対して、発振周波数の変化量が非常に大きく、その制御が非常に困難であるという問題を有する。

上記問題に対して、上記発振部 1050 に、VCXO (Voltage Controlled Crystal Oscillators) が用いられることがある。当該 VCXO は、制御電圧の変化量に対して、発振周波数の変化量が小さいため、その制御が容易であるというメリットを有する。しかしながら、当該 VCXO は、VCO に比して高価であるという問題を有する。

そこで、本発明の目的は、容易にデータ送信装置とクロック同期を取ることができると共に、安価に製造可能なデータ受信装置に含まれるシンボル位置検出装置を提供することである。

本発明では、信号作成手段は、第 1 のクロック信号の周波数に整数倍の周波数を持った第 2 のクロック信号を作成

し、データ値取得手段は、高周波クロック信号作成手段が作成した第2のクロック信号のタイミングに基づいて、データ信号のデータの値を取得し、クロック成分抽出手段は、データ値取得手段が取得したデータの値から前記第1のクロック信号の成分を抽出し、ゼロクロス検出手段は、クロック成分抽出手段が抽出した第1のクロック信号の成分の、所定の基準レベルに対する大小関係入れ替わるタイミングをゼロクロス点として検出し、シンボル位置検出手段は、ゼロクロス検出手段が検出したゼロクロス点から、第2のクロック信号における所定クロック分に相当する時間が経過した時を、データ信号のシンボル位置として検出するようにしている。

また、データ信号は、シンボル毎に所定の基準レベルに対する大小関係が交互に入れ替わる信号であってもよい。

また、ゼロクロス検出手段は、クロック成分抽出手段が抽出した第1のクロック信号成分の、所定の基準レベルに対する大小関係が入れ替わるタイミングから最も近いタイミングに位置するクロックを、ゼロクロス点とみなして検出するようにしてもよい。

また、ゼロクロス検出手段は、クロック成分抽出手段が抽出した第1のクロック信号成分の、所定の基準レベルに対する大小関係が入れ替わるタイミングの直前および直後に存在するクロックにおけるデータの値の絶対値を比較して、データの値の絶対値の小さい方のクロックを、データの値の、所定の基準レベルに対する大小関係が入れ替わるタイミングから最も近いタイミングに位置するクロックと

決定するようにしてもよい。

また、シンボル位置検出手段がデータ信号のシンボルの位置と決定するクロックは、ゼロクロス点に対して、所定クロック経過後のタイミングであってもよい。

また、シンボル位置検出手段は、シンボルの位置を検出したタイミングで、第3のクロック信号を出力するようにしてもよい。

また、ゼロクロス検出手段は、ゼロクロス点から、所定クロック分に相当する時間が経過した時間を遅延させることにより、第3のクロック信号を出力するようにしてもよい。

また、判定手段は、シンボル位置検出手段が出力した第3のクロック信号のタイミングに基づいて、データ信号のシンボルにおけるデータの値を判定するようにしてもよい。

また、出力用クロック信号作成手段は、ジッタを低減した第4のクロック信号を作成し、出力手段は、出力用クロック信号作成手段が作成した第4のクロック信号に基づいて、判定手段が判定したデータの値を外部に出力するようにしてもよい。

また、ゼロクロス検出手段は、クロック成分抽出手段が抽出した第1のクロック信号の成分の正負が入れ替わるタイミングをゼロクロス点として検出するようにしてもよい。

また、ゼロクロス検出手段は、第1のクロック信号の成分の正負が入れ替わるタイミングをゼロクロス点として検

出するようにしてもよい。

また、データ信号は、シンボル毎にデータの値の正負が交互に入れ替わる信号であってもよい。

また、出力用クロック作成手段は、第3のクロック信号を基準にして第4のクロック信号を作成するようにしてもよい。

また、整数は、4の倍数であってもよい。

また、所定クロックは、4の倍数を4分の1倍した数のクロックであってもよい。

なお、本発明は、シンボル位置検出装置のみならず、当該シンボル位置検出装置において行われているシンボル検出方法に対しても向けられている。

本発明によれば、高周波クロック信号作成手段が発生する第2のクロック信号の周波数を細かくコントロールすることなく、シンボル位置を検出することが可能となる。さらに、上記第1の発明によれば、高周波クロック信号作成手段の一部に安価なVCOを適用することができるので、当該シンボル位置検出装置を安価に作成することが可能となる。

また、データ信号は、第1のクロック信号の成分を確実に含んだ信号となるので、クロック成分抽出手段において、第1のクロック信号の成分を容易に抽出することが可能となる。

また、値がちょうど所定の基準レベルとなるデータのクロックが存在しない場合であっても、ゼロクロス点に該当するクロックを検出することが可能となる。

また、データ所定レベルに対する大小関係が入れ替わるタイミングの直前と直後とに存在するクロックのデータの値の絶対値を比較するという簡単な方法により、ゼロクロス点とみなされるクロックが求められるので、当該ゼロクロス検出手段にかかる負担を軽減することができると共に、当該ゼロクロス検出手段の構成を簡単なものにできる。

また、第1のクロック信号の4の倍数倍の周波数を持った第2のクロック信号でサンプリングを行っているので、シンボル点は、ゼロクロス点から4の倍数に4分の1を掛けたクロック分だけ時間が経過した点になる。これにより、シンボル点を簡単に特定することが可能となる。

また、シンボル位置を検出したのタイミングで第3のクロック信号が出力されるので、シンボル位置検出装置や当該シンボル位置検出装置に接続された装置は、当該第3のクロック信号を利用することが可能となる。

また、第3のクロック信号を遅延処理によって作成している所以、再度信号を作成する場合に比べて、簡単に第3のクロック信号を作成することができる。

また、第3のクロック信号は、シンボル位置に合わせたクロック信号であるので、判定手段は、当該第3のクロックに基づいて、データの値を検出することが可能となる。

また、ジッタが低減された第4のクロック信号に基づいて、データの値が当該シンボル位置検出装置外へと出力されるので、当該シンボル位置検出装置に接続された機器は、エラーの少ないデータを取得することが可能となる。

また、高周波クロック信号作成ステップで発生する第2

のクロック信号の周波数を細かくコントロールすることなく、シンボル位置を検出することが可能となる。さらに、上記第 9 の発明によれば、高周波クロック信号作成ステップで用いられる発信器の一部に安価な VCO を適用することができるので、当該シンボル位置検出方法を安価に実現することが可能となる。

また、データ信号は、第 1 のクロック信号の成分を確実に含んだ信号となるので、クロック成分抽出手段において、第 1 のクロック信号の成分を容易に抽出することが可能となる。

図面の簡単な説明

図 1 は、本発明の一実施形態に係るデータ送信装置 10 の構成を示したブロック図である。

図 2 は、本発明の一実施形態に係るデータ受信装置 100 の構成を示したブロック図である。

図 3 は、パラレルデータと、マッピングすべきシンボル値 $B(k)$ と、当該マッピングすべきシンボル値 $B(k)$ の直前のシンボル値 $B(k-1)$ との関係を示した表である。

図 4 は、マッピング部 20 でマッピングされたデジタルデータが DAC 30 でアナログ信号に変換された波形を示した図である。

図 5 は、マッピング部 20 でマッピングされたデジタルデータが DAC 30 でアナログ信号に変換された波形を示した図である。

図 6 は、DAC 30 から出力されるアナログ信号の一例を示した図である。

図 7 は、本発明の一実施形態に係るクロック再生部 125 の詳細な構成を示したブロック図である。

図 8 は、データ受信装置 100 の各構成部から出力される信号の様子を示した図である。

図 9 は、ゼロクロス点およびシンボル点が検出される様子を示した図である。

図 10 は、本発明の一実施形態に係るデジタルフィルタ 130 の構成の一例を示したブロック図である。

図 11 は、本発明の一実施形態に係る判定部 135 が信号レベルの判定時に用いる、判定レベルの一例を示した図である。

図 12 は、判定部 135 が判定した判定レベルをデータ送信装置 10 が送信したデータに変換するためのテーブルである。

図 13 は、データ受信装置 100 のクロック再生部 125 が行う動作を示したフローチャートである。

図 14 は、ゼロクロス検出部 205 が行う動作を示したフローチャートである。

図 15 は、本発明の一実施形態に係るデジタルフィルタ 130 の構成のその他の一例を示したブロック図である。

図 16 は、本発明の一実施形態に係るデータ受信装置 100 の構成のその他の一例を示したブロック図である。

図 1 7 は、従来のデータ受信装置の構成を示したブロック図である。

発明を実施するための最良の形態

図 1 および 2 を参照して、本発明の一実施形態に係るシンボル位置検出装置を含んだデータ受信装置およびデータ伝送システムについて説明する。なお、図 1 は、本実施形態に係るデータ伝送システムのデータ送信装置の構成を示すブロック図である。また、図 2 は、本実施形態に係るデータ伝送システムのデータ受信装置の構成を示すブロック図である。

図 1 に示されるデータ送信装置 1 0 は、S / P 変換部 1 5、マッピング部 2 0、デジタルフィルタ 2 5、D A C 3 0、L P F（ローパスフィルタ）3 5 および差動ドライバ 4 0 を備える。当該データ送信装置 1 0 は、接続機器（例えば、オーディオ機器、ナビゲーション機器、あるいは情報端末機器）に接続されており、当該接続機器から出力されるデータに所定の処理を施して、電気信号として伝送路に出力する。データ受信装置 1 0 0 は、差動レシーバ 1 0 5、A D C 1 1 0、発振部 1 1 5、逡倍 P L L 1 2 0、クロック再生部 1 2 5、デジタルフィルタ 1 3 0、判定部 1 3 5、P / S 変換部 1 4 0、F I F O 1 4 5 および受信側 P L L 1 5 0 を備える。当該データ受信装置 1 0 0 は、接続機器（例えば、オーディオ機器、ナビゲーション機器、あるいは情報端末機器）に接続されており、データ送信装置 1 0 が伝送路に出力した電気信号を受信して、当該電気

信号から得られるデジタルデータを接続機器に出力する。また、伝送路にはツイストペア線や同軸ケーブルのような安価なケーブルが用いられ、データ送信装置とデータ受信装置とは、互いに電気通信を行う。

ここで、上記データ伝送システムで用いられる情報系の通信プロトコルについて説明する。当該データ伝送システムで用いられる情報系の通信プロトコルとしては、例えば、Media Oriented Systems Transport（以下、MOSTと記載する）がある。通信プロトコルがMOSTの場合には、図1のデータ送信装置および図2のデータ受信装置は、それぞれ国際公開番号WO-02/30079号公報の第1図に示されるデータ伝送装置の送信部および受信部として用いることができる。そして、国際公開番号WO-02/30079号公報の第2図に示されるように、複数台のデータ伝送装置がリング状に接続されてリング型ネットワークを構成する。MOSTを通信プロトコルとして伝送されるデータは、フレームを基本単位として伝送され、各データ伝送装置1の間を次々にフレームが一方向に伝送される。以下、本実施形態に係るデータ伝送システムの通信プロトコルは、MOSTであるとして説明を続ける。

それでは、以下に、本実施形態に係るデータ送信装置10について詳しく説明する。当該データ送信装置10は、典型的にはLSIで構成され、入力されてくる25MHzおよび100MHzのクロックに基づいて、接続機器から出力されるデジタルデータを電気信号に変換して、伝送路

を介して、データ受信装置 100 に出力する。

S / P 変換部 15 は、多値化伝送を行うために、接続機器から出力されるシリアルデジタルデータをパラレルに変換する。通信プロトコルが MOST の場合、コントローラ 2 から 50 Mbps のシリアルデータが出力されるので、S / P 変換部 15 は、シリアルで入力されたデータを 2 ビット毎のパラレルデータに変換する。マッピング部 20 は、S / P 変換部 15 で変換された 2 ビット毎のパラレルデータを、上記 100 MHz のクロックに基づいて 8 値のシンボルのいずれかにマッピングを行う。このマッピングは、データ受信装置 100 でクロック再生を行うために、2 ビット毎のパラレルデータを 8 値のシンボルのうち上位 4 シンボルと下位 4 シンボルとに交互に割り当てられる。また、送信および受信との間の直流成分の変動や差の影響を除外するために、前値との差分によってマッピングが行われる。

デジタルフィルタ 25 は、送信する電気信号の帯域制限および符号間干渉を抑えるための波形整形フィルタである。例えば、デジタルフィルタ 25 には、シンボルレート (25 MHz) の 4 倍のサンプリング周波数 (100 MHz) 動作し、ロールオフ率 100 % をルート配分した特性を持ち、タップ数 33 タップ、およびビット数 12 ビットの FIR フィルタが使用される。

DAC 30 は、デジタルフィルタ 25 で帯域制限された信号をアナログ信号に変換する。LPF 35 は、DAC 30 の出力信号から信号帯域より高域の周波数を減衰させる

。差動ドライバ 40 は、LPF 35 から出力されるアナログ信号の強度を増幅して差動信号に変換して伝送路に送出する。差動ドライバ 40 は、伝送路が有する 2 本 1 組の導線に対して、送出する電気信号を伝送路の一方側（プラス側）導線に送信し、当該電気信号と正負反対の信号を伝送路の他方側（マイナス側）に送信する。これによって、伝送路には、プラス側とマイナス側との電気信号が 1 つのペアとして伝送され、伝送路からの放射ノイズおよび外部から混入する同相ノイズの影響を軽減することができる。

ここで、マッピング部 20 が行うマッピングについて図 3～5 を参照しながら詳しく説明する。図 3 は、パラレルデータと、マッピングすべきシンボル値 $B(k)$ と、当該マッピングすべきシンボル値 $B(k)$ の直前のシンボル値 $B(k-1)$ との関係を示した表である。図 4 および 5 は、マッピング部 20 でマッピングされたデジタルデータが DAC 30 でアナログ信号に変換された波形を示した図である。

まず、マッピング部 20 には、「00」や「01」等といった 2 ビットのパラレルデータが入力される。ここで、マッピング部 20 は、取得したデータを図 3 に示される表にしたがって、+7、+5、+3、+1、-1、-3、-5、-7 の 8 値のいずれかにマッピングする。ここで、マッピングの方法について、具体例を挙げて説明する。

例えば、前のシンボル値 $B(k-1)$ が -1 であって、マッピング部 20 に「00」のパラレルデータが入力してきた場合には、今回のシンボル値 $B(k)$ は、+7 となる

。一方、シンボル値 $B(k-1)$ が +5 であって、マッピング部 20 に「01」の平行データが入力してきた場合には、今回のシンボル値 $B(k)$ は、-1 となる。すなわち、本実施形態に係るマッピングは、前のシンボル値 $B(k-1)$ と入力してきた平行データとに基づいて、今回のシンボル値 $B(k)$ が求められる。このような方法によって、シンボル値 $B(k)$ が正負交互にマッピングされる。そして、求められたシンボル値 $B(k)$ は、デジタルフィルタ 25 を介して、DAC 30 に入力される。

DAC 30 は、出力されてくるシンボル値 $B(k)$ に基づいて、図 4 あるいは図 5 に示されるようなアナログ信号を作成する。ここで、図 4 および図 5 について詳しく説明する。

図 4 は、前のシンボル値 $B(k-1)$ が +7、+5、+3 または +1 である場合において、「00」、「01」、「11」、「01」の各平行データが入力されたときのシンボル値 $B(k)$ を示した図である。図 4 は、例えば、前のシンボル値 $B(k-1)$ が +7 である場合において、「00」のシリアルデータが入力されてきた場合には、今回のシンボル値 $B(k)$ が -1 となるようなアナログ信号が作成されることを示している。

一方、図 5 は、前のシンボル値 $B(k-1)$ が -7、-5、-3 または -1 である場合において、「00」、「01」、「11」、「01」の各平行データが入力されたときのシンボル値 $B(k)$ を示した図である。図 5 は、例えば、前のシンボル値 $B(k-1)$ が -7 である場合に

において、「00」のシリアルデータが入力されてきた場合には、今回のシンボル値 $B(k)$ が +1 となるようなアナログ信号が作成されることを示している。

以上のことを踏まえて、一例として、最初のシンボル値 $B(n)$ が +1 で、「00」、「00」、「11」、「01」の順にパラレルデータが順番に入力された場合に作成されるアナログ信号を示す。図6は、上述した場合において、差動ドライバ40から出力されるアナログ信号の様子を示した図である。

まず、最初のシンボル値 $B(n)$ は、+1 であるので、+1 の位置にマッピングされる。次に、パラレルデータ「00」が入力されてくると、図4の一番右の波に基づいて、-7 にマッピングされる。次に、パラレルデータ「00」が入力されてくると、図5の一番左の波に基づいて、+1 にマッピングされる。次に、パラレルデータ「11」が入力されてくると、図4の一番右の波に基づいて、-3 にマッピングされる。次に、パラレルデータ「01」が入力されてくると、図5の右から2番目の波に基づいて、+7 にマッピングされる。以上のような処理によって、図6に示されるアナログ信号が作成される。なお、本実施形態でのアナログ信号の各シンボルの間隔は、40 nsec であり、当該アナログ信号には、12.5 MHz の周波数成分が固定的に含まれることになる。

次に、本実施形態に係るデータ受信装置100について詳しく説明する。当該データ受信装置100は、典型的にはLSIで構成され、伝送路を介して送信されてくる信号

からクロックを再生し、当該再生したクロックに基づいて、アナログ信号からデジタルデータを読み出し、接続機器へと出力する。

差動レシーバ 105 は、伝送路から入力する差動信号を電圧信号に変換して A D C 110 に出力する。上述したように、伝送路が有する 2 本 1 組の導線に対してプラス側とマイナス側との電気信号が 1 つのペアとして伝送されており、差動レシーバ 105 は、プラス側とマイナス側との差から信号を判断するため、外部から混入する同相ノイズの影響に対して効力を発揮する。そして、A D C 110 は、後述する逡倍 P L L 120 が出力する 400 M H z のクロック B にしたがって、差動レシーバ 105 から出力される電圧信号をデジタル信号に変換する。

発振部 115 は、データ送信装置 10 とは非同期の 25 M H z の周波数をもつクロック A を作成し、例えば水晶振動子や水晶発振器により実現される。逡倍 P L L (P h a s e L o c k e d L o o p) 120 は、V C O を含み、発振部 115 から出力されたクロック A から 16 倍の周波数をもった 400 M H z のクロック B を作成する。なお、クロック B の周波数は、上述した 16 倍に限られない。また、クロック A の周波数も 25 M H z に限られない。

クロック再生部 125 は、A D C 110 から出力される伝送路から受信した信号に固定的に含まれる 12.5 M H z のクロック成分を抽出・再生することによって、データ送信装置 10 のクロック再生を行い、図 7 に示されるように、バンドパスフィルタ 200、ゼロクロス検出部 205

およびタイミング調節部 210 を備える。当該クロック再生部 125 で再生されたクロックは、各構成部のクロックとして用いられる。ここで、当該クロック再生部 125 の詳細について、図 7 を用いて説明する。

バンドパスフィルタ 200 は、伝送路から受信した信号からクロック成分の周波数の信号を抽出する。なお、本実施形態に係るバンドパスフィルタ 200 は、各シンボルの間隔が 40 ns であるので、 12.5 MHz の周波数の信号を抽出する。

ゼロクロス検出部 205 は、バンドパスフィルタ 200 が抽出したクロック成分のゼロクロスした点を検出する。タイミング調節部 210 は、ゼロクロス検出部 205 が検出したゼロクロス点から所定のタイミングを遅らせて、クロックを出力する。なお、本実施形態に係るタイミング調節部 210 は、後述する判定部 135 が 12.5 MHz の周波数の信号のシンボル点に含まれるデジタルデータ値を判定できるように、 25 MHz の周波数のクロック C を出力する。さらに、当該タイミング調節部 210 は、P/S 変換部 140 および F I F O 145 が 25 MHz のシリアルデータを処理することができるように、 50 MHz の周波数のクロック D を出力する。

それでは、以下に、当該ゼロクロス検出部 205 およびタイミング調節部 210 が行う動作について、図 8 を参照しながら詳しく説明する。

まず、バンドパスフィルタ 200 は、逡倍 P L L 120 から図 8 の (1) に示される 400 MHz のクロック B を

受けて動作しており、当該クロック B にしたがって、12.5 MHz の周波数の信号のデジタルデータ値を抽出して、図 8 の (2) に示されるようなデジタルデータ値をゼロクロス検出部 205 に対して出力する。

ゼロクロス検出部 205 は、逡倍 PLL 120 から図 8 の (1) にしめされる 400 MHz のクロック B を受けて動作しており、当該クロック B にしたがって、バンドパスフィルタ 200 からの出力信号のゼロクロス点を検出する。ここで、図 9 を用いて、ゼロクロス検出方法について説明する。図 9 は、図 8 のゼロクロス点付近の拡大図である。

図 9 に示されるように、バンドパスフィルタ 200 から出力される信号のデジタルデータ値は、必ずしもゼロの軸上に存在するとは限らない。そこで、このような場合には、ゼロクロス検出部 205 は、デジタルデータ値の符号を監視し、当該符号が逆転した時における当該デジタルデータ値の絶対値と、当該デジタルデータ値の 1 クロック前のデジタルデータ値の絶対値とを比較し、絶対値の小さい方のデジタルデータ値のクロックをゼロクロス点とみなす。

上記のようなゼロクロス検出方法により、ゼロクロス検出部 205 からは、図 8 の (3) に示されるような信号が出力される。

次に、タイミング調節部 210 は、ゼロクロス検出部 205 がゼロクロス点とみなしたクロックから 8 クロックのタイミングを遅延させて、シンボル点のタイミングを示す 25 MHz のクロック C を出力する (図 8 の (4))。さ

らに、当該タイミング調節部 210 は、ゼロクロス検出部 205 がゼロクロス点とみなしたクロックから 8 クロックおよび 16 クロックのタイミングを遅延させて、50 MHz のクロック D を出力する（図 8 の（5））。以上で、当該ゼロクロス検出部 205 およびタイミング調節部 210 が行う動作についての説明を終了する。

ここで、再び図 2 のデータ受信装置 100 の説明に戻る。デジタルフィルタ 130 は、ADC 110 から出力されるデジタル信号のノイズ除去を行う波形整形用の FIR フィルタであり、例えば、シンボルレートの 16 倍の FIR フィルタが使用される。上述した送信側のデジタルフィルタ 25 と合わせ、符号間干渉のないロールオフ特性が実現される。

ここで、デジタルフィルタ 130 の構成例について図 10 を参照しながら説明する。図 10 は、当該デジタルフィルタ 130 の構成の一例を示した図である。

当該デジタルフィルタ 130 は、シフトレジスタ 300 と、タップ群 305 と、乗算器 $310_1 \sim n$ と、加算器 315 とを備える。シフトレジスタ 300 は、 n 個のタップ $303_1 \sim n$ を含んでおり、1 つのデジタルデータ値を ADC 110 から取得し、最も古いデジタルデータ値を一つ破棄する。また、タップ群 305 は、 n 個のタップ $307_1 \sim n$ を含んでおり、タップ $303_1 \sim n$ からデジタルデータ値を取得する。ここで、クロック C は、シンボル点の位置を示すクロックであるので、タップ群 305 は、シフトレジスタ 300 からシンボル点を中心としたデジタルデー

タ値を取得することになる。デジタルフィルタ 130 は、例えば、ロールオフ率 100% をルート配分した特性を持ち、タップ数 113、およびビット数 10 ビットの FIR フィルタである。なお、シフトレジスタ 300 は、通倍 PLL 1220 からの 400 MHz の周波数のクロック B に基づいて動作する。一方、タップ群 305 は、クロック再生部 125 からの 25 MHz の周波数のクロック C に基づいて動作する。これは、シフトレジスタ 300 の処理動作に対して、タップ群 305 以下の構成部の処理動作の方が複雑である。そこで、タップ群 305 以下の処理時間を確保するために、タップ群 305 の動作クロックが、シフトレジスタ 300 の 16 分の 1 にされている。

なお、タップ 303₁ に格納されたデジタルデータ値は、対応するタップ 307₁ が取得する。また、タップ 303₂ に格納されたデジタルデータ値は、対応するタップ 307₂ が取得する。以後、タップ 303₃ 以降についても同様のことが言える。

乗算器 310₁ ~ _n は、タップ 307₁ ~ _n から出力されるデジタルデータ値に予め定められた所定の値を乗算する。なお、当該予め定められた所定の値は、例えば、シンボルレートの 16 倍のサンプリング周波数で、ロールオフ率 100% をルート配分した特性を実現する値である。最後に、加算器 315 は、乗算器 310₁ ~ _n から出力されるデジタルデータ値を加算する。これにより、加算器 315 からは、シンボル点におけるデジタルデータ値が 25 MHz の周波数にしたがって出力される。以上でデジタルフィ

ルタ 1 3 0 の詳細な説明を終了する。

判定部 1 3 5 は、デジタルフィルタ 1 3 0 から出力されるデジタルデータ値に基づいて、データ送信装置 1 0 が送信したデータを判定する。より具体的には、当該判定部 1 3 5 は、出力されてくる各シンボルにおけるデジタルデータ値と、当該各シンボルにおけるデジタルデータ値の 1 シンボル前のシンボルにおけるデジタルデータ値との差分値を求め、当該差分値に基づいて、データ送信装置 1 0 が送信しているパラレルデータを取得する。それでは、図 1 1 および図 1 2 を用いて、当該判定部 1 3 5 が行う判定処理について詳しく説明する。図 1 1 は、判定部 1 3 5 が、デジタルデータ値の判定を行うときに用いる判定レベルを示した図である。図 1 2 は、判定部 1 3 5 が判定した判定レベルをデータ送信装置 1 0 が送信したデータに変換するためのテーブルである。

まず、判定部 1 3 5 は、デジタルフィルタ 1 3 0 から 1 シンボル分のデジタルデータ値を取得する。次に、判定部 1 3 5 は、取得したデジタルデータ値の 1 シンボル前のデジタルデータ値を確認する。そして、当該判定部 1 3 5 は、取得したデジタルデータ値から 1 シンボル前のデジタルデータ値を引き算する。なお、本実施形態では、各デジタルデータ値は、+ 7、+ 5、+ 3、+ 1、- 1、- 3、- 5 または - 7 のいずれかの値を取るので、判定部 1 3 5 が引き算によって求めた値（以下、信号レベルと称す）は、+ 1 4、+ 1 2、+ 8、+ 6、+ 4、+ 2、- 2、- 4、- 6、- 8、- 1 0、- 1 2 または - 1 4 のいずれかの値

を取る。

ここで、判定部 135 には、図 11 に示されるように、信号レベルの判定レベルが設定されている。各判定レベルは、一定の幅を有しており、いずれのレベルの幅に属するかで、信号レベルが判定される。当該判定部 135 は、引き算によって求めた信号レベルを当該図 11 に示される判定レベルを用いて決定する。そして、判定部 135 は、図 12 に示されるテーブルに基づいて、決定した信号レベルをデータ送信装置 10 が送信したパラレルデータに変換する。なお、図 12 に示されるテーブルは、図 3 に示される $B(k)$ から $B(k-1)$ を引き算した値と、パラレルデータとの関係を示した表である。

P/S 変換部 140 は、判定部 135 で判定されたパラレルデータをシリアルデジタルデータに変換して、FIFO 145 に出力する。

受信側 PLL 150 は、25 MHz のクロック C に基づいて、ジッタの少ない 50 MHz のクロック E を作成して、FIFO 145 に出力する。

FIFO 145 は、クロック D に基づいて、P/S 変換部 140 からシリアルデータが書きこまれ、受信側 PLL 150 からのジッタの少ないクロック E に基づいてシリアルデータを接続機器へと出力する。これは、データ受信装置 100 がデータ送信装置 10 とは非同期のクロックで動作し、図 9 に示されるように、ゼロクロス点のクロックにゼロに最も近いクロックが選ばれるという本実施形態に係るデータ受信装置 100 の性質上、シンボル間のクロック

数が常に 16 にならずに、±1 個程度のジッタが時折発生し得るから行われる処理である。すなわち、受信側 PLL 150 が、FIFO 145 への書き込み用のクロック周波数と同じ周波数でジッタの少ないクロック読み出しを行うことで、ジッタの少ないシリアルデータを接続機器に出力することになる。

以上のように構成されたデータ伝送システムについて、以下に動作を説明する。なお、本実施形態で示す各処理は、コンピュータを用いてソフトウェア的に実現するか、あるいはそれら各処理を行う専用のハードウェア回路を用いて実現することができる。

それでは、本実施形態に係るデータ伝送システムが行う動作について図面を参照しながら説明する。図 13 は、データ受信装置 100 のクロック再生部 125 が行う動作を示したフローチャートである。なお、以下、データ装置装置 10 からは、図 6 に示されるような電気信号が送信されてくるものとし、当該データ送信装置 10 が行う動作については省略する。

まず、差動レシーバ 105 は、データ送信装置 10 から伝送路を介して送信されてきた図 6 に示されるような電気信号を受信する。一方、発振部 115 は、データ送信装置 10 とは非同期の 25 MHz の周波数のクロック A を作成し、逡倍 PLL 120 に出力している。逡倍 PLL 120 は、取得したクロック A を 400 MHz のクロック信号 B にして、ADC 110、デジタルフィルタ 130 およびクロック再生部 125 に出力する。

A D C 1 1 0 は、逡倍 P L L 1 2 0 から出力されてくるクロック B にしたがって、差動レシーバ 1 0 5 から出力されてくる信号をデジタル信号に変換し、デジタルフィルタ 1 3 0 およびクロック再生部 1 2 5 に対して出力する。

A D C 1 1 0 からクロック再生部 1 2 5 に対して出力されたデジタル信号は、複数の周波数を含んでいる。そこで、バンドパスフィルタ 2 0 0 は、受信信号に含まれる 1 2 . 5 M H z の周波数の信号を抽出する（ステップ S 1 0 0）。なお、当該バンドパスフィルタ 2 0 0 は、上記 1 2 . 5 M H z の周波数の信号を抽出する際に、逡倍 P L L 1 2 0 から出力されてくるクロック B に基づいて、抽出処理を行う。これにより、当該バンドパスフィルタ 2 0 0 からは、図 8 の（2）に示されるようなデータ値を含んだ信号が出力される。

次に、ゼロクロス検出部 2 0 5 は、出力されてきた信号の各データ値を参照して、ゼロクロス点を検出する。それでは、当該ゼロクロス検出部 2 0 5 が行う動作について図面を参照しながら説明する。図 1 4 は、このときに当該ゼロクロス検出部 2 0 5 が行う動作を示したフローチャートである。

まず、ゼロクロス検出部 2 0 5 は、バンドパスフィルタ 2 0 0 から出力されてくるデジタルデータ値を取得する（ステップ S 2 0 0）。

次に、ゼロクロス検出部 2 0 5 は、取得したデジタルデータ値が正であるか負であるかを認識する（ステップ S 2 1 0）。デジタルデータ値の正負を認識したゼロクロス検

出部 2 0 5 は、取得したデジタルデータ値の前のクロックで取得したデジタルデータ値からみて、当該取得したデジタルデータ値の正負が入れ替わったか否かを判定する（ステップ S 2 1 0）。正負が入れ替わった場合には、本処理はステップ S 2 1 0 に進む。一方、正負が入れ替わっていない場合には、本処理は終了する。この場合、当該ゼロクロス検出部 2 0 5 は、次のデジタルデータ値を取得し、同様の処理を行う。

正負が入れ替わった場合、ゼロクロス検出部 2 0 5 は、当該前のクロックで取得したデジタルデータ値の絶対値と、当該今回のクロックで取得したデータ値の絶対値とを計算する（ステップ S 2 1 5）。そして、当該ゼロクロス検出部 2 0 5 は、前のクロックで取得したデジタルデータ値の絶対値が、当該今回のクロックで取得したデジタルデータ値の絶対値よりも大きいかなんかを判定する（ステップ S 2 2 0）。前のクロックで取得したデジタルデータ値の絶対値が大きい場合には、本処理はステップ S 2 2 5 に進む。一方、前のクロックで取得したデジタルデータ値の絶対値が大きい場合には、本処理はステップ S 2 3 0 に進む。

前のクロックで取得したデジタルデータ値の絶対値が大きい場合には、ゼロクロス検出部 2 0 5 は、今回のクロックで取得したデジタルデータ値の方がゼロクロス点に近いと判断し、当該今回のクロックで取得したデジタルデータ値のタイミングをゼロクロス点とみなす（ステップ S 2 2 5）。この後、本処理は終了し、当該ゼロクロス点は、次

のデジタルデータ値を取得して上記処理と同様の処理を行う。

前のクロックで取得したデジタルデータ値の絶対値が大きくない場合には、ゼロクロス検出部 205 は、前のクロックで取得したデジタルデータ値の方がゼロクロス点に近いと判断し、当該前のクロックで取得したデジタルデータ値のタイミングをゼロクロス点とみなす（ステップ S230）。この後、本処理は終了し、当該ゼロクロス点は、次のデジタルデータ値を取得して上記処理と同様の処理を行う。以上で、ゼロクロス検出部 205 が行う動作の説明を終了する。

上記ゼロクロス検出部 205 の動作により、当該ゼロクロス検出部 205 からは、図 8 の（3）に示されるような 25 MHz のクロックが出力される。応じて、タイミング調節部 210 は、ゼロクロス検出部 205 から出力されるクロックを取得する。

タイミング調節部 210 は、取得したクロックから 8 クロック分の時間だけ遅延させて、図 8 の（4）に示される 25 MHz のクロック C を、デジタルフィルタ 130、判定部 135 および受信側 PLL 150 に対して出力する。さらに、当該タイミング調節部 210 は、取得したクロックから 8 クロック分の時間だけ遅延させたクロックと、16 クロック分の時間だけ遅延させたクロックとを合成して、図 8 の（5）に示される 50 MHz のクロック D を作成して、P/S 変換部 140 および FIFO 145 に対して出力する。

次に、受信側 PLL 150 は、クロック再生部 125 から出力される 25 MHz のクロック C に基づいて、ジッタを含まない 50 MHz のクロック D を作成して FIFO 145 に出力する。

一方、デジタルフィルタ 130 は、ADC 110 から 400 MHz のクロック B にしたがって出力されてくるデジタルデータ値の内、シンボル点に該当するデジタルデータ値のみを、クロック再生部 125 から出力される 25 MHz のクロック C にしたがってサンプリングして、判定部 135 に対して出力する。

判定部 135 は、デジタルフィルタ 130 から出力されてくるシンボル点のデジタルデータ値に基づいて、判定処理を行い、2 ビットの平行データとして、P/S 変換部 140 に出力する。

P/S 変換部 140 は、クロック再生部 125 から出力されてくる 50 MHz のクロック D にしたがって、取得した平行データをシリアルデジタルデータに変換して、FIFO 145 に出力する。

次に、FIFO 145 は、クロック再生部 125 から出力されてくる 50 MHz のクロック D にしたがって、P/S 変換部 140 から出力されるシリアルデジタルデータを記憶していく。そして、FIFO 145 は、受信側 PLL 150 から出力される 50 MHz のクロック E に基づいて、接続機器に対して、シリアルデジタルデータを出力していく。これにより、データ受信装置 100 に接続された接続機器は、データ送信装置 10 の接続機器から出力さ

れたデジタルデータを取得することができる。

以上のように、本実施形態に係るシンボル位置検出装置を含んだデータ受信装置 100 によれば、発振部 115 が発振する信号の周波数を細かくコントロールする必要がないので、容易にデータ送信装置 100 とクロック同期をとることができると共に、通倍 PLL 120 に安価な VCO を適用することができるので、当該シンボル位置検出装置およびデータ受信装置 100 を安価に作成することが可能となる。

また、本実施形態に係るシンボル位置検出装置を含んだデータ受信装置 100 によれば、受信側 PLL 150 が作成したジッタのないクロックに基づいて、FIFO 145 から接続機器に対してデータが出力される。その結果、接続機器は、エラーの少ないデータを取得することが可能となる。

なお、本実施形態に係るシンボル位置検出装置を含んだデータ受信装置 100 では、通信プロトコルとして MOST が適用されているとしたが、当該通信プロトコルは MOST に限られない。

なお、本実施形態に係るシンボル位置検出装置を含んだデータ受信装置 100 では、デジタルフィルタ 130 として図 10 に示されるようなデジタルフィルタが適用されているが、当該デジタルフィルタ 130 はこれに限られない。より具体的には、図 15 に示されるようなデジタルフィルタ 131 であってもよい。それでは、以下に、図 15 に示されるデジタルフィルタ 131 について説明する。

当該デジタルフィルタ 1 3 1 は、シフトレジスタ 3 0 0、加算器 3 0 4_{n/2}、タップ群 3 0 6、乗算器 3 1 1_{1 ~ n/2} および加算器 3 1 5 を備える。また、シフトレジスタ 3 0 0 は、図 1 0 のシフトレジスタ 3 0 0 と同様に n 個のタップ 3 0 3_{1 ~ n} を含む。また、タップ群 3 0 6 は、図 1 0 のタップ群 3 0 5 と異なり、 $n/2$ 個のタップ 3 0 8_{1 ~ n/2} を含む。

ここで、図 1 5 に示されるデジタルフィルタ 1 3 1 が上記のような構成をとる理由について説明する。図 1 0 に示されるデジタルフィルタ 1 3 1 の乗算器 3 1 0_{1 ~ n} で掛け算される値は、3 1 0_{n/2} を中心に対称な値となっている。

そこで、図 1 5 に示されるデジタルフィルタ 1 3 1 では、同じ値を掛け算するデータのタップ 3 0 3 をそれぞれ組にして、まず、加算器 3 0 4 で足し合わせる。そして、加算器 3 0 4 は、足し合わせたデータをタップ群 3 0 6 に出力する。

その後、乗算器 3 1 1_{1 ~ n/2} は、タップ群 3 0 6 から出力されてくるデータに、図 1 0 の乗算器 3 1 0_{1 ~ n/2} が掛け算する値と同じ値を掛け算する。次に、加算器 3 1 5 は、乗算器 3 1 0_{1 ~ n/2} から出力されるデータを足し算する。これにより、当該図 1 5 のデジタルフィルタ 1 3 1 は、図 1 0 のデジタルフィルタ 1 3 0 と同様の出力結果を得ることができる。

当該図 1 5 に示されるデジタルフィルタ 1 3 1 によれば、タップ群 3 0 6 のタップ数および乗算器 3 1 0 を図 1 0

のデジタルフィルタ 1 3 0 の半分にすることができる。

なお、本実施形態に係るデータ受信装置 1 0 0 において、図 1 6 に示されるような構成を取ることも可能である。図 1 6 に示されるデータ受信装置 1 0 1 は、図 2 に示されるデータ受信装置 1 0 0 のデジタルフィルタ 1 3 0 と判定部 1 3 5 の間にゲイン調節部 5 0 0 が設けられているものである。当該ゲイン調節部 5 0 0 は、乗算器により実現され、温度等の変化による振幅変化分を検出し、振幅を理想の振幅値に補正する役割を果たす。

なお、本実施形態で使用されているクロックの周波数および受信信号に固定的に含まれる信号の周波数は、一例であり、使用されるクロックの周波数および受信信号に固定的に含まれる信号の周波数はこれに限られない。

産業上の利用可能性

本発明にかかるシンボル位置検出装置は、容易にデータ送信装置とクロック同期を取ることができると共に、安価に製造可能である効果を有し、所定の周波数を持った第 1 のクロック信号に基づいて送信されてきたデータ信号のシンボルの位置を検出するシンボル位置検出装置等として有用である。

請求の範囲

1. 所定の周波数を持った第1のクロック信号に基づいて送信されてきたデータ信号のシンボルの位置を検出する装置であって、

前記第1のクロック信号の周波数に対して整数倍の周波数を持った第2のクロック信号を作成する高周波クロック信号作成手段と、

前記高周波クロック信号作成手段が作成した第2のクロック信号のタイミングに基づいて、前記データ信号のデータの値を取得するデータ値取得手段と、

前記データ値取得手段が取得したデータの値から前記第1のクロック信号の成分を抽出するクロック成分抽出手段と、

前記クロック成分抽出手段が抽出した前記第1のクロック信号の成分の、所定の基準レベルに対する大小関係入れ替わるタイミングをゼロクロス点として検出するゼロクロス検出手段と、

前記ゼロクロス検出手段が検出した前記ゼロクロス点から、前記第2のクロック信号における所定クロック分に相当する時間が経過した時を、前記データ信号のシンボル位置として検出するシンボル位置検出手段とを備える、シンボル位置検出装置。

2. 前記データ信号は、シンボル毎に所定の基準レベルに対する大小関係が交互に入れ替わる信号であることを特徴とする、請求項1に記載のシンボル位置検出装置。

3. 前記ゼロクロス検出手段は、前記クロック成分抽出手段が抽出した前記第1のクロック成分の、所定の基準レベルに対する大小関係が入れ替わるタイミングから最も近いタイミングに位置するクロックを、前記ゼロクロス点とみなして検出することを特徴とする、請求項1に記載のシンボル位置検出装置。

4. 前記ゼロクロス検出手段は、前記クロック成分抽出手段が抽出した前記第1のクロック成分の、所定の基準レベルに対する大小関係が入れ替わるタイミングの直前および直後に存在するクロックにおける前記データの値の絶対値を比較して、前記データの値の絶対値の小さい方のクロックを、前記データの値の、所定の基準レベルに対する大小関係が入れ替わるタイミングから最も近いタイミングに位置するクロックと決定することを特徴とする、請求項3に記載のシンボル位置検出装置。

5. 前記シンボル位置検出手段が前記データ信号のシンボルの位置と決定するクロックは、前記ゼロクロス点に対して、所定クロック経過後のタイミングであることを特徴とする、請求項1に記載のシンボル位置検出装置。

6. 前記シンボル位置検出手段は、前記シンボルの位置を検出したタイミングで、第3のクロック信号を出力することを特徴とする、請求項1に記載のシンボル位置検出装置。

7. 前記ゼロクロス検出手段は、前記ゼロクロス点から、前記所定クロック分に相当する時間が経過した時間を遅延させることにより、前記第3のクロック信号を出力するこ

とを特徴とする、請求項 6 に記載のシンボル位置検出装置。

8. 前記シンボル位置検出手段が出力した前記第 3 のクロック信号のタイミングに基づいて、前記データ信号のシンボルにおけるデータの値を判定する判定手段をさらに備える、請求項 7 に記載のシンボル位置検出装置。

9. ジッタを低減した第 4 のクロック信号を作成する出力用クロック信号作成手段と、

前記出力用クロック信号作成手段が作成した前記第 4 のクロック信号に基づいて、前記判定手段が判定したデータの値を外部に出力する出力手段とをさらに備える、請求項 8 に記載のシンボル位置検出装置。

10. 前記ゼロクロス検出手段は、前記クロック成分抽出手段が抽出した前記第 1 のクロック信号の成分の正負が入れ替わるタイミングをゼロクロス点として検出することを特徴とする、請求項 1 に記載のシンボル位置検出装置。

11. 前記ゼロクロス検出手段は、前記第 1 のクロック信号の成分の正負が入れ替わるタイミングをゼロクロス点として検出することを特徴とする、請求項 1 に記載のシンボル位置検出装置。

12. 前記データ信号は、シンボル毎にデータの値の正負が交互に入れ替わる信号であることを特徴とする、請求項 11 に記載のシンボル位置検出装置。

13. 前記出力用クロック作成手段は、前記第 3 のクロック信号を基準にして前記第 4 のクロック信号を作成することを特徴とする、請求項 9 に記載のシンボル

位置検出装置。

14. 前記整数は、4の倍数であることを特徴とする、請求項1に記載のシンボル位置検出装置。

15. 前記整数は、4の倍数であって、

前記所定クロックは、前記4の倍数を4分の1倍した数のクロックであることを特徴とする、請求項5に記載のシンボル位置検出装置。

16. 所定の周波数を持った第1のクロック信号に基づいて送信されてきたデータ信号のシンボルの位置を検出する方法であって、

前記第1のクロック信号の周波数に対して整数倍の周波数を持った第2のクロック信号を作成する高周波クロック信号作成ステップと、

前記高周波クロック信号作成ステップで作成した第2のクロック信号のタイミングに基づいて、前記データ信号のデータの値を取得するデータ値取得ステップと、

前記データ値取得ステップで取得したデータの値か前記第1のクロック信号の成分を抽出するクロック成分抽出ステップと、

前記クロック成分抽出手段が抽出した前記第1のクロック信号の、所定の基準レベルに対する大小関係が入れ替わるタイミングをゼロクロス点として検出するゼロクロス検出ステップと、

前記ゼロクロス検出ステップで検出した前記ゼロクロス点から、前記第2のクロック信号における所定クロック分に相当する時間が経過した時を、前記データ信号のシンボ

ル位置として検出するシンボル位置検出ステップとを備える、シンボル位置検出方法。

17. 前記データ信号は、シンボル毎に所定の基準レベルに対する大小関係が交互に入れ替わる信号であることを特徴とする、請求項16に記載のシンボル位置検出方法。

補正書の請求の範囲

[2004年4月23日(23.04.04)国際事務局受理 : 出願当初の請求の範囲

1は補正された; 出願当初の請求の範囲10は取り下げられた;

他の請求の範囲は変更なし。(2頁)]

1. (補正後) 所定の周波数を持った第1のクロック信号に基づいて送信されてきたデータ信号のシンボルの位置を検出する装置であって、

前記第1のクロック信号の周波数に対して整数倍の周波数を持った第2のクロック信号を作成する高周波クロック信号作成手段と、

前記高周波クロック信号作成手段が作成した第2のクロック信号のタイミングに基づいて、前記データ信号のデータの値を取得するデータ値取得手段と、

前記データ値取得手段が取得したデータの値から前記第1のクロック信号の成分を抽出するクロック成分抽出手段と、

前記クロック成分抽出手段が抽出した前記第1のクロック信号の成分の、所定の基準レベルに対する大小関係が入れ替わるタイミングをゼロクロス点として検出するゼロクロス検出手段と、

前記ゼロクロス検出手段が検出した前記ゼロクロス点から、前記第2のクロック信号における所定クロック分に相当する時間が経過した時を、前記データ信号のシンボル位置として検出するシンボル位置検出手段とを備える、シンボル位置検出装置。

2. 前記データ信号は、シンボル毎に所定の基準レベルに対する大小関係が交互に入れ替わる信号であることを特徴とする、請求項1に記載のシンボル位置検出装置。

とを特徴とする、請求項 6 に記載のシンボル位置検出装置。

8. 前記シンボル位置検出手段が出力した前記第 3 のクロック信号のタイミングに基づいて、前記データ信号のシンボルにおけるデータの値を判定する判定手段をさらに備える、請求項 7 に記載のシンボル位置検出装置。

9. ジッタを低減した第 4 のクロック信号を作成する出力用クロック信号作成手段と、

前記出力用クロック信号作成手段が作成した前記第 4 のクロック信号に基づいて、前記判定手段が判定したデータの値を外部に出力する出力手段とをさらに備える、請求項 8 に記載のシンボル位置検出装置。

10. (削除)

11. 前記ゼロクロス検出手段は、前記第 1 のクロック信号の成分の正負が入れ替わるタイミングをゼロクロス点として検出することを特徴とする、請求項 1 に記載のシンボル位置検出装置。

12. 前記データ信号は、シンボル毎にデータの値の正負が交互に入れ替わる信号であることを特徴とする、請求項 11 に記載のシンボル位置検出装置。

13. 前記出力用クロック作成手段は、前記第 3 のクロック信号を基準にして前記第 4 のクロック信号を作成することを特徴とする、請求項 9 に記載のシンボル

図 1

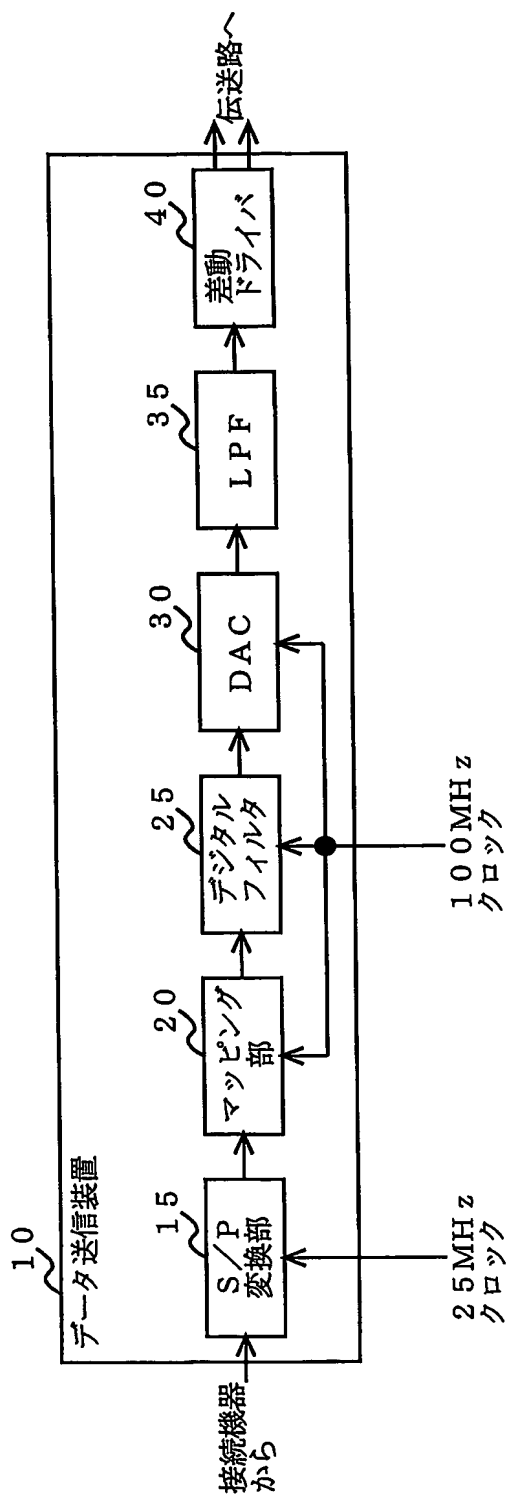


図 2

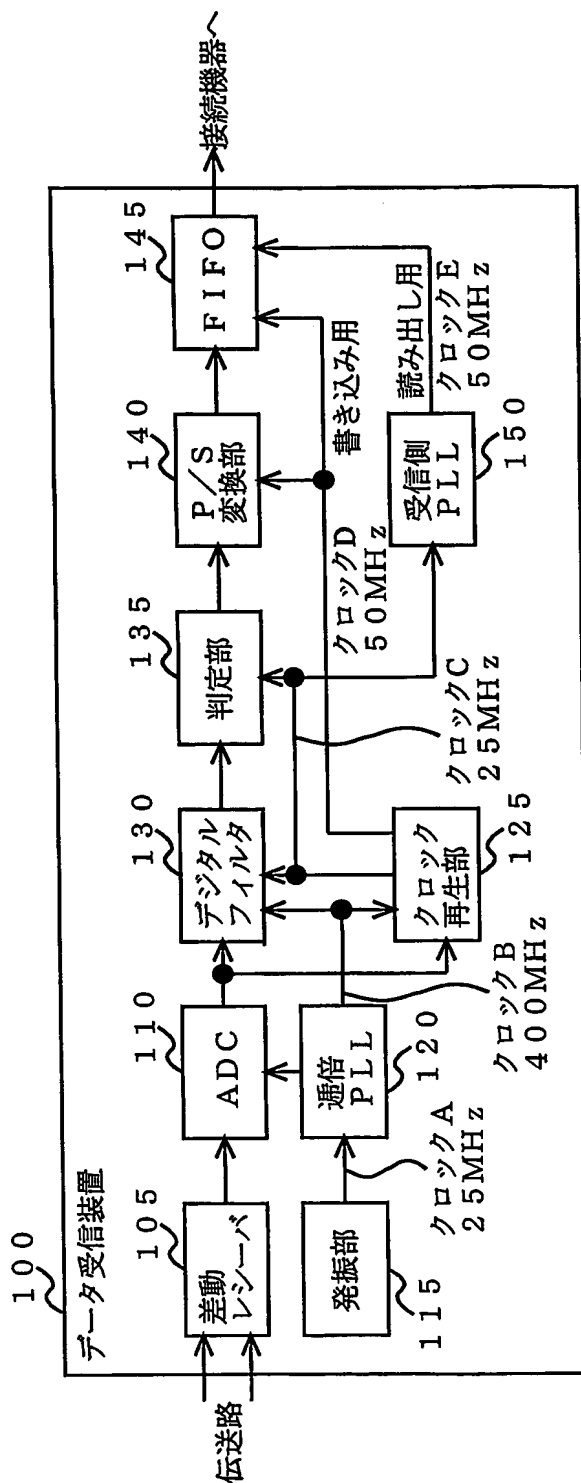


図 3

$B(k) \backslash B(k-1)$	+7	+5	+3	+1	-1	-3	-5	-7
+7					00	10	11	01
+5					01	00	10	11
+3					11	01	00	10
+1					10	11	01	00
-1	00	10	11	01				
-3	01	00	10	11				
-5	11	01	00	10				
-7	10	11	01	00				

パラレルデータ

パラレルデータ

図 4

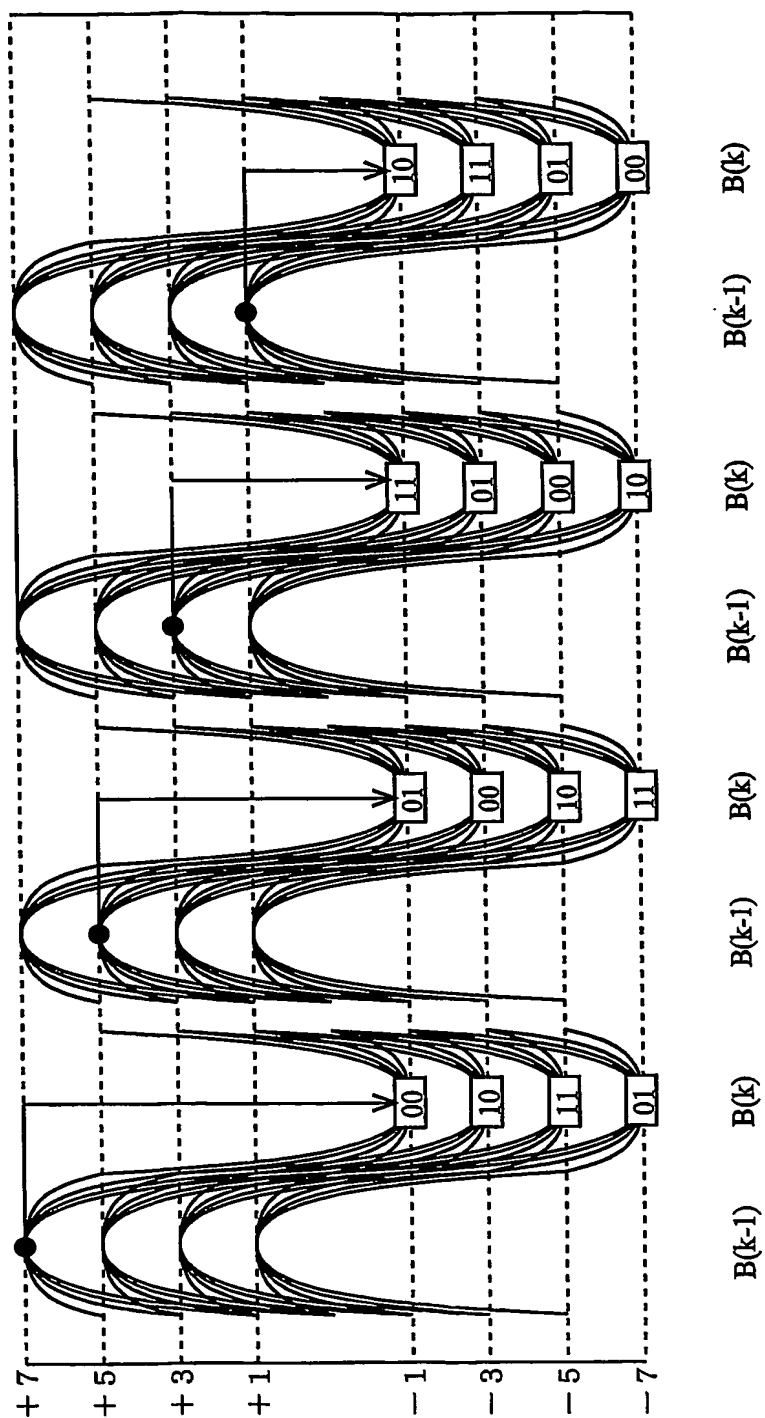


図 5

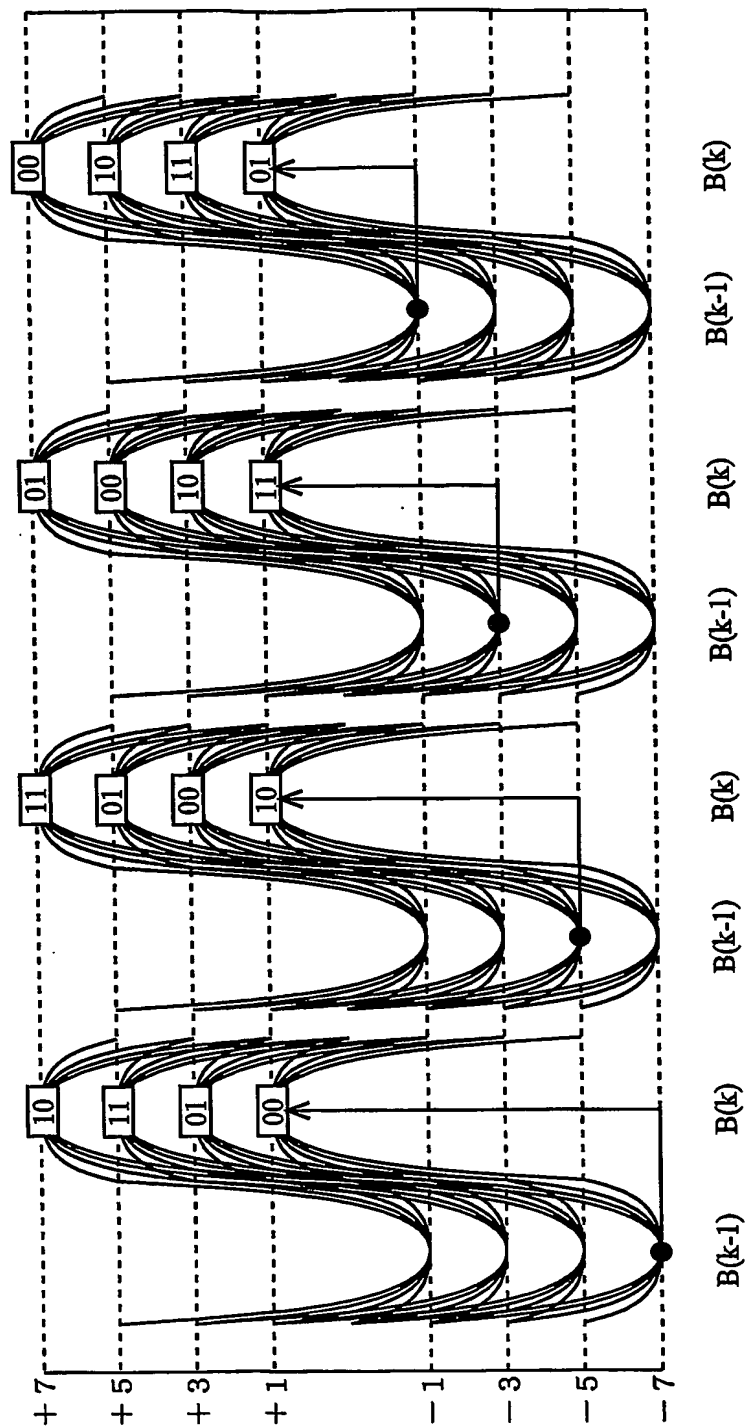


図 6

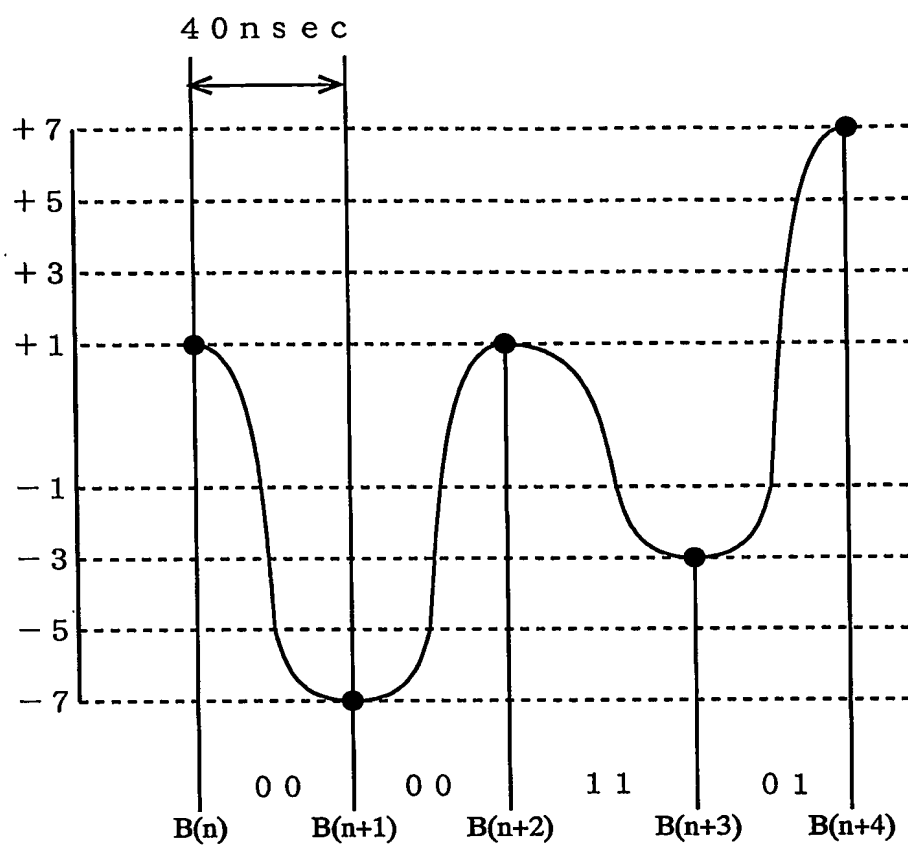
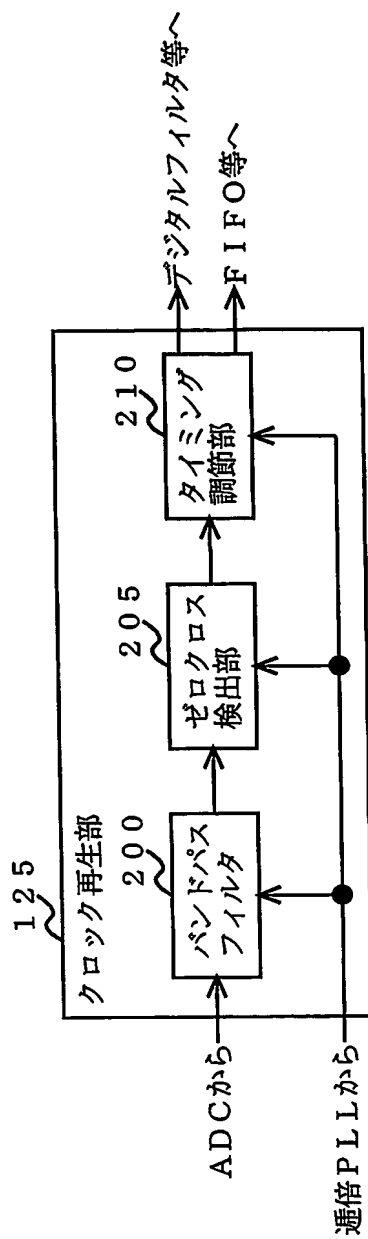


図 7



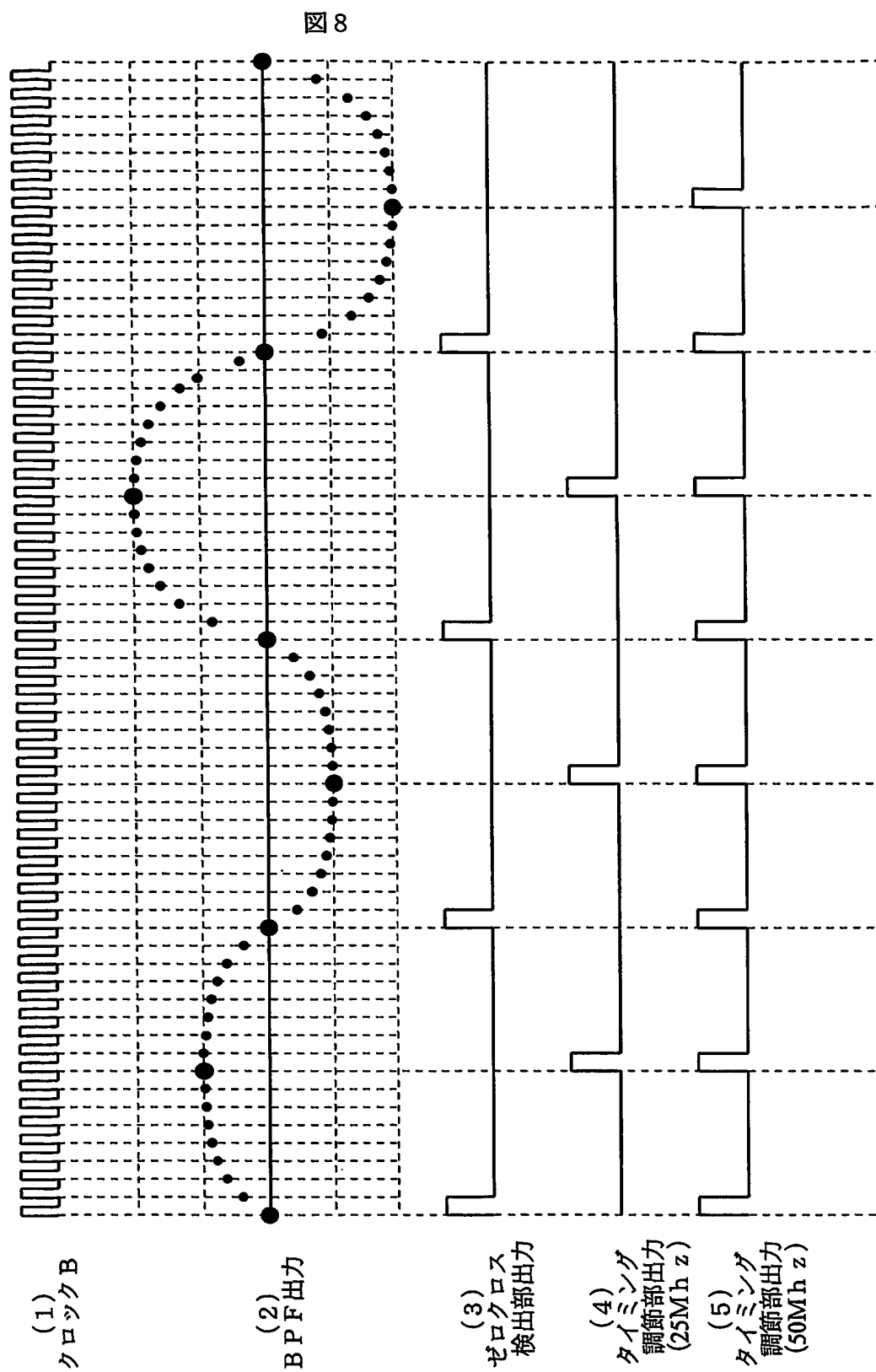


図 9

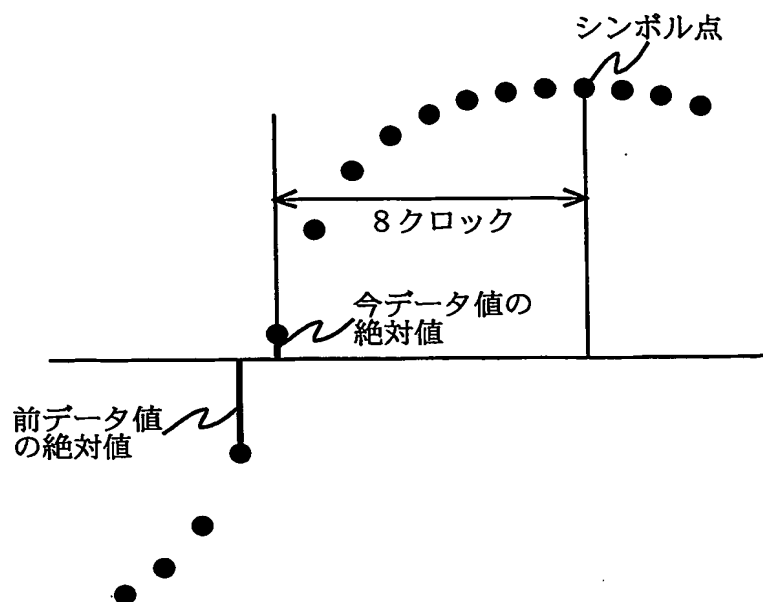


図 10

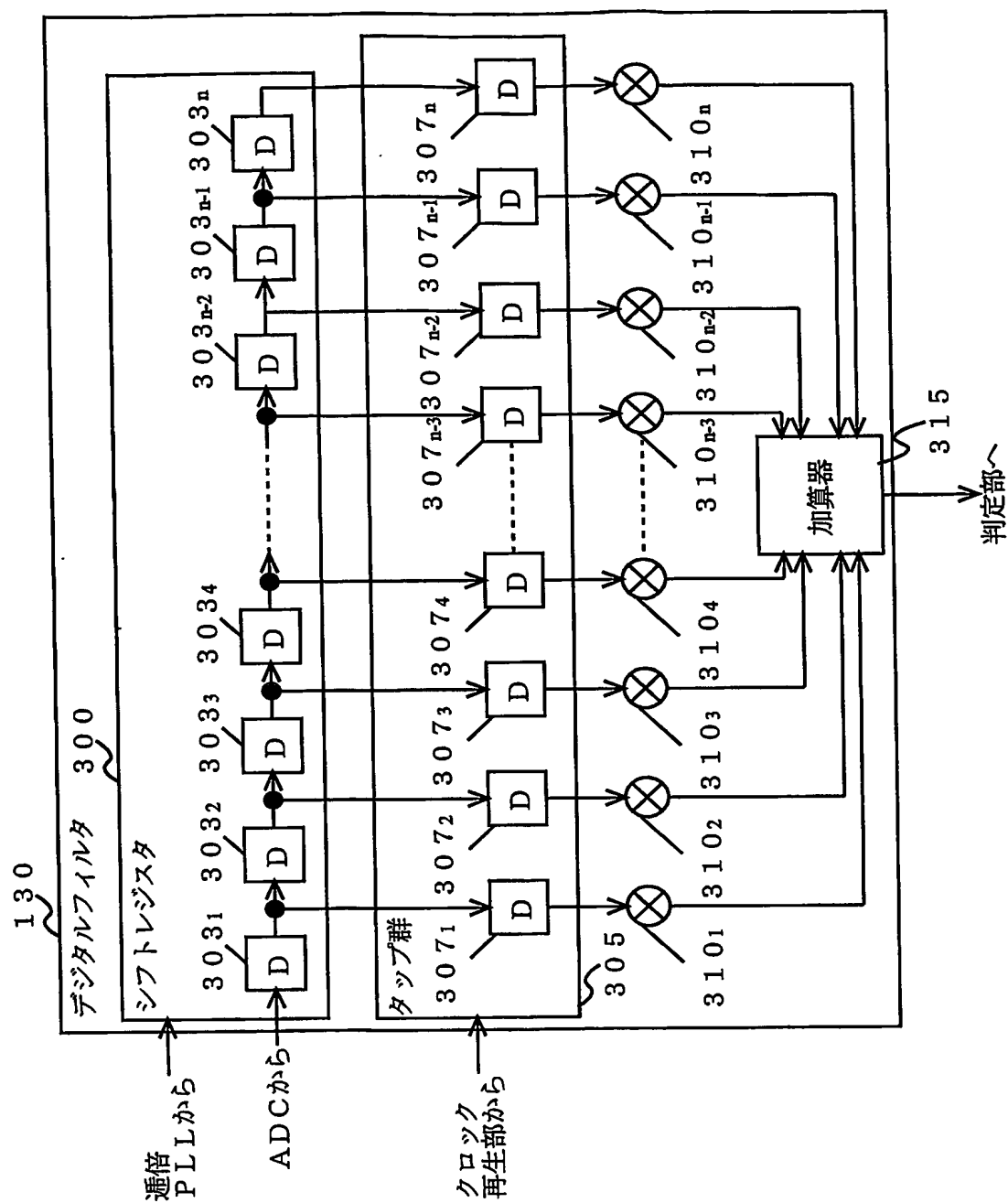


図 1 1

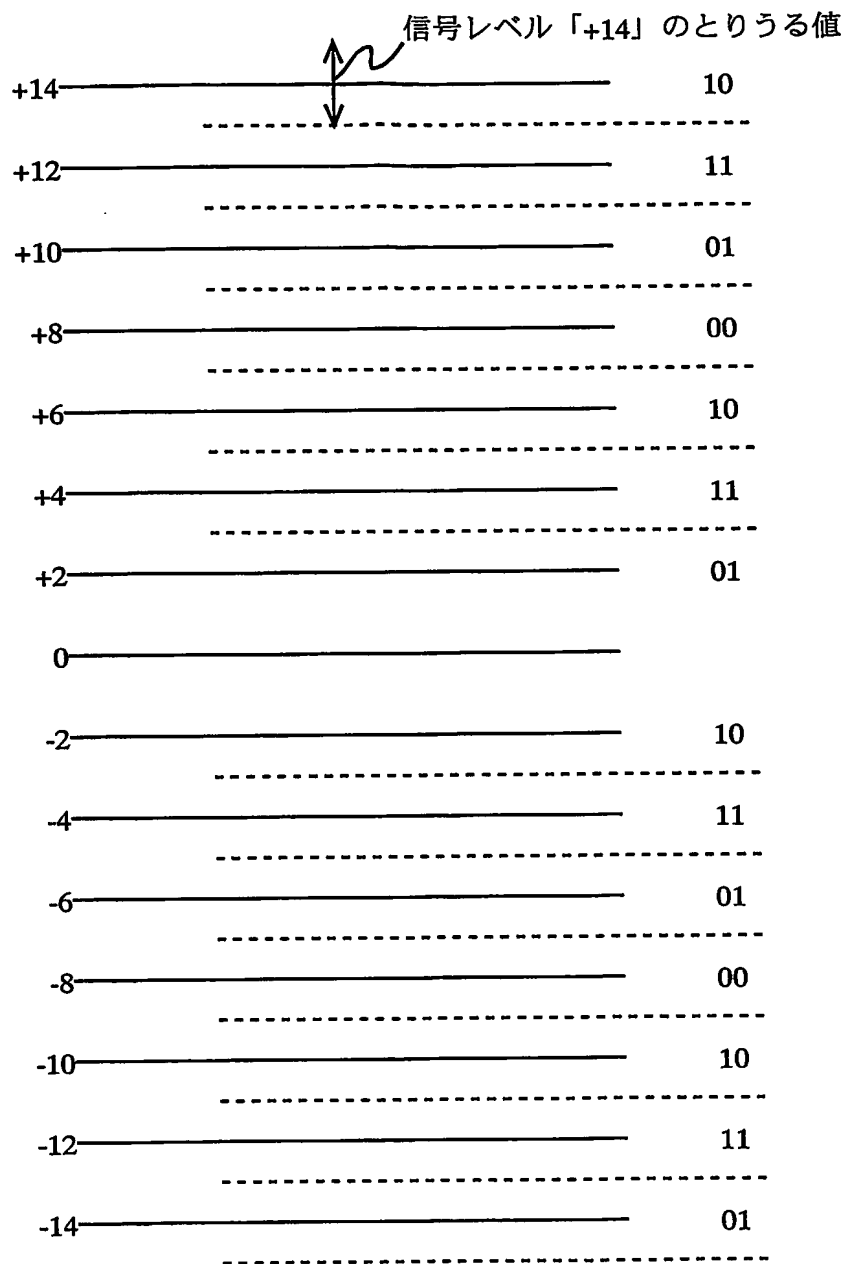


図 1 2

データ	B(k) - B(k - 1)			
00	+8	-8		
01	+10	+2	-6	-14
10	+14	+6	-2	-10
11	+12	+4	-4	-12

図 13

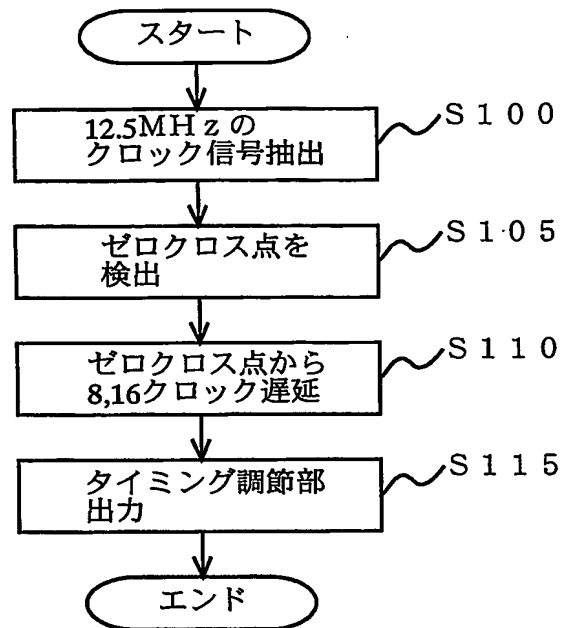


図 1 4

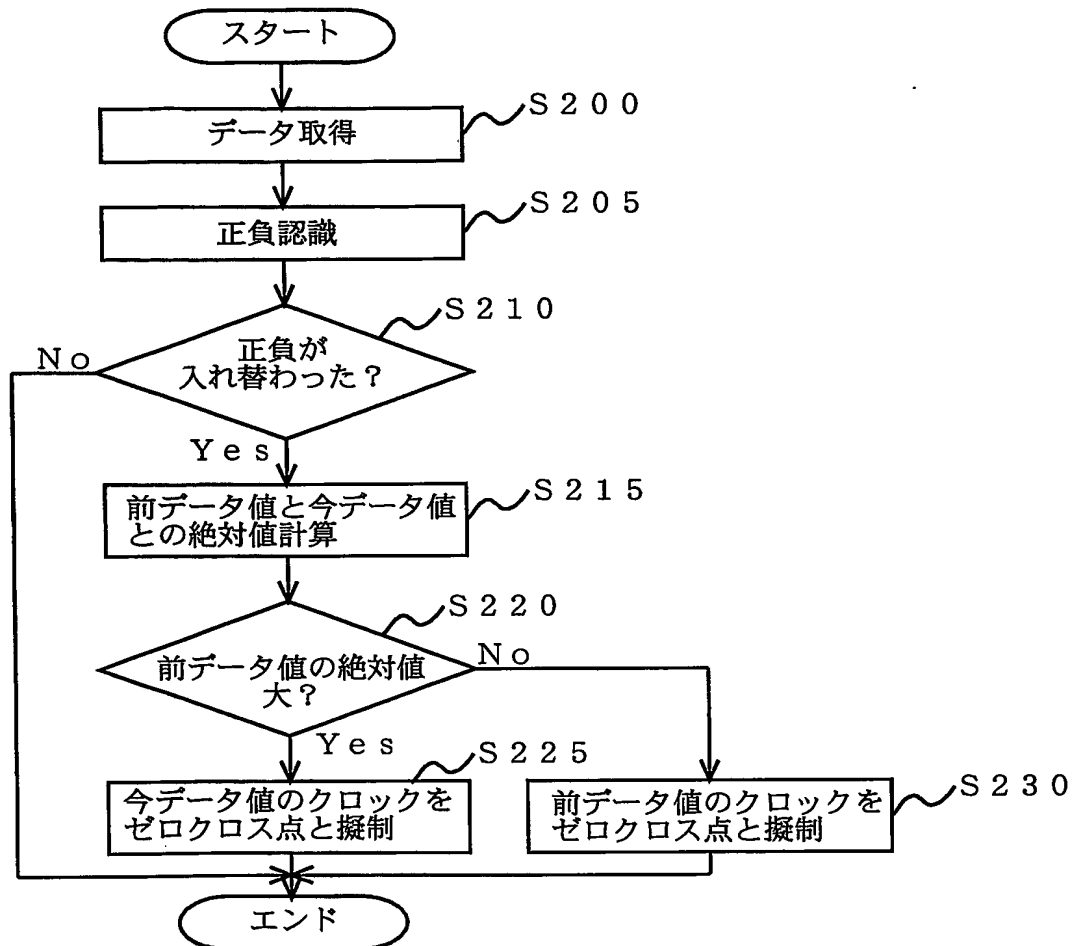


図15

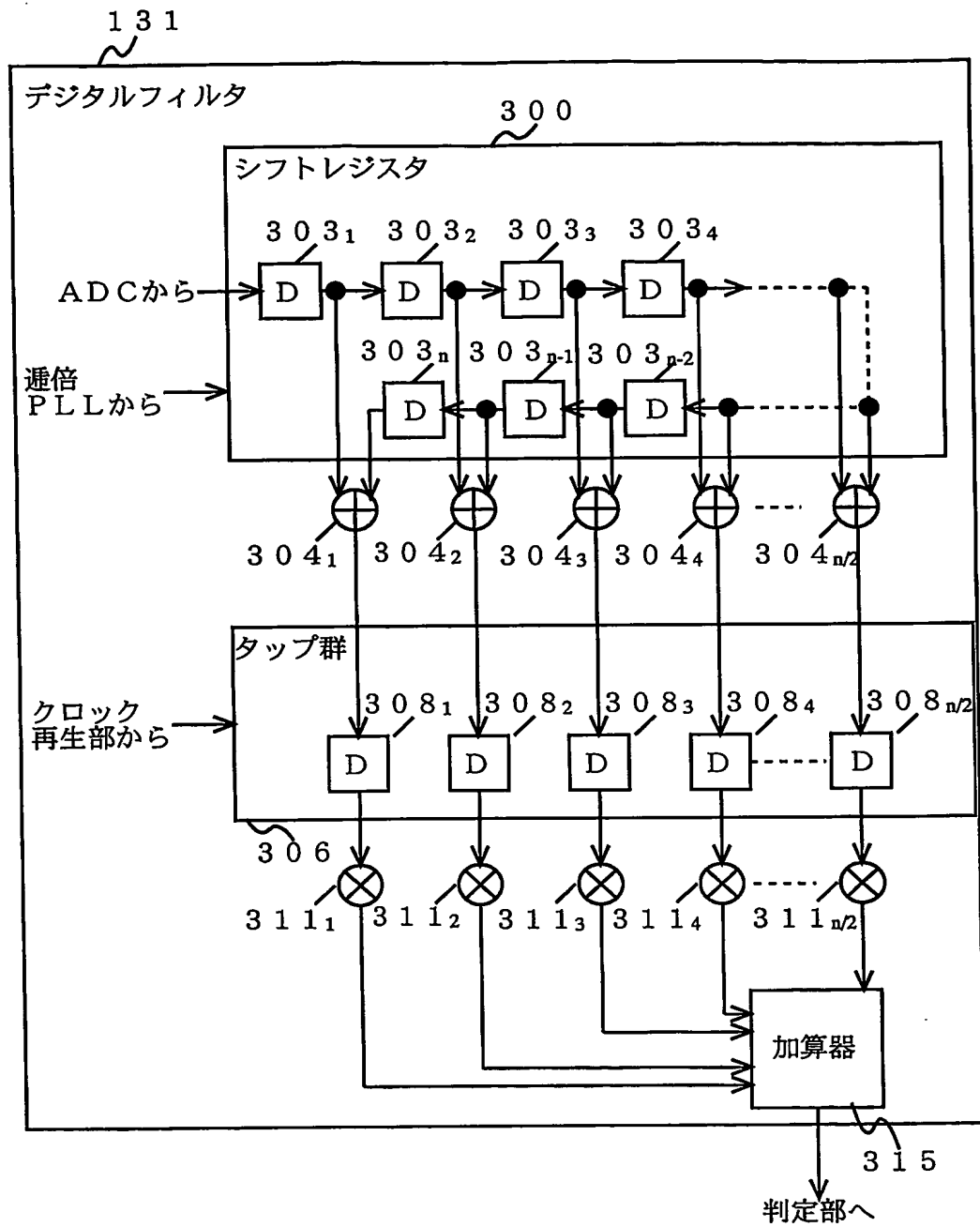


図 16

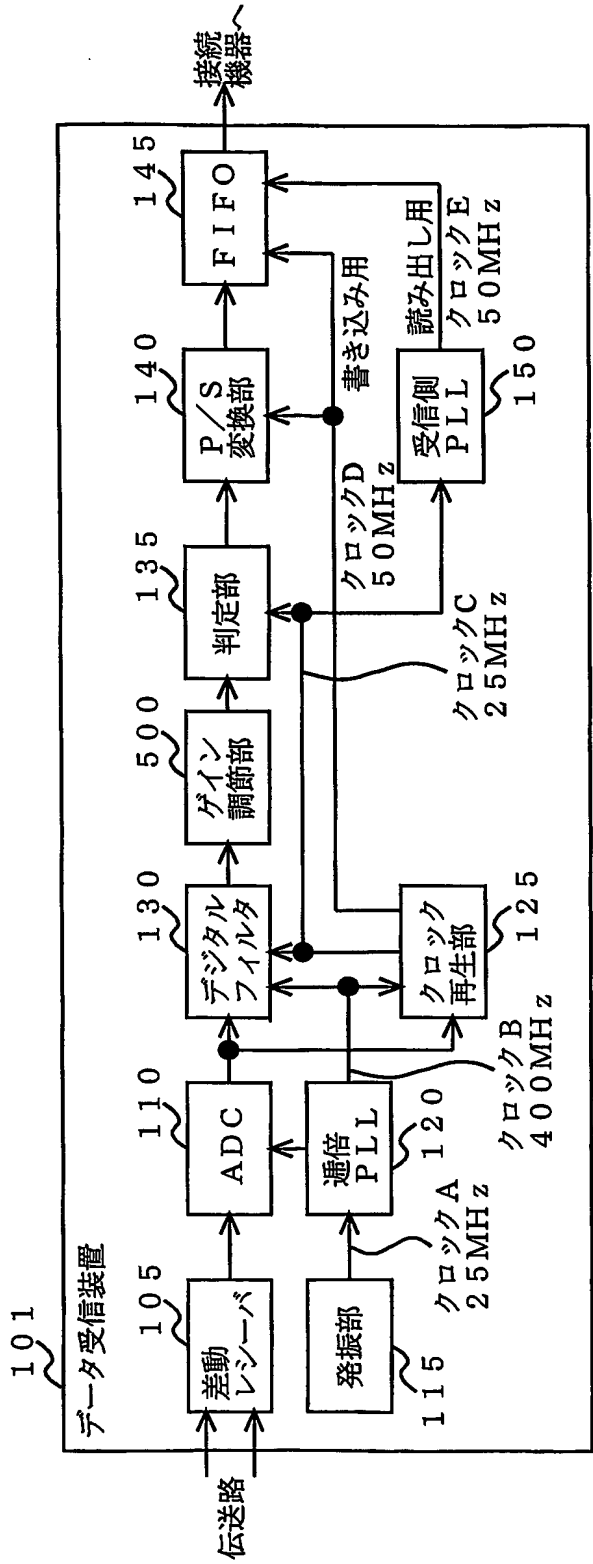
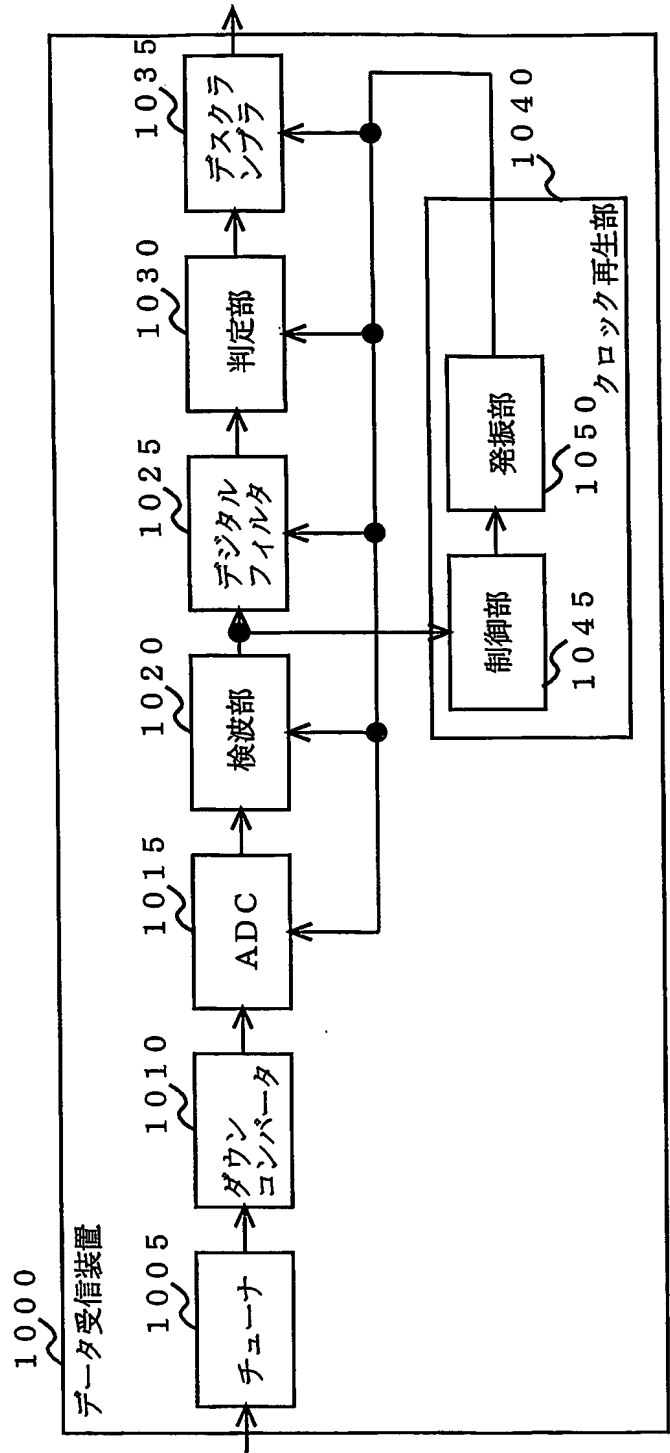


図 17



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/16917

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H04L25/49, H04L7/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H04L25/49, H04L7/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926-1996 Jitsuyo Shinan Toroku Koho 1996-2004

Kokai Jitsuyo Shinan Koho 1971-2004 Toroku Jitsuyo Shinan Koho 1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 11-261661 A (Hitachi Denshi, Ltd.), 24 September, 1999 (24.09.99), Column 1, lines 2 to 15 (Family: none)	1, 2, 5-17 3, 4
Y A	JP 58-92162 A (Hitachi, Ltd.), 01 June, 1983 (01.06.83), Page 1, lower left column, lines 5 to 13 & US 4535295 A	1, 2, 5-17 3, 4
Y	JP 52-86009 A (Hitachi, Ltd.), 16 July, 1977 (16.07.77), Full text (Family: none)	2, 12, 17



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:	"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 26 February, 2004 (26.02.04)	Date of mailing of the international search report 09 March, 2004 (09.03.04)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/16917

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 11-308205 A (Nippon Denki Denpa Kiki Engineering Kabushiki Kaisha), 05 November, 1999 (05.11.99), Fig. 5 and explanation thereof (Family: none)	9,13
A	JP 5-327681 A (Toshiba Corp.), 10 December, 1993 (10.12.93), Full text (Family: none)	1-17
A	JP 8-237239 A (Hitachi, Ltd.), 13 September, 1996 (13.09.96), Full text & US 5123030 A & US 5267267 A & DE 4007987 A1	1-17
A	JP 2002-15523 A (Matsushita Electric Industrial Co., Ltd.), 18 January, 2002 (18.01.02), Full text (Family: none)	1-17

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H04L25/49, H04L7/00

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H04L25/49, H04L7/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年
 日本国公開実用新案公報 1971-2004年
 日本国実用新案登録公報 1996-2004年
 日本国登録実用新案公報 1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	JP 11-261661 A (日立電子株式会社) 1999. 09. 24, 第1欄第2行乃至第15行 (ファミリーなし)	1, 2, 5-17 3, 4
Y A	JP 58-92162 A (株式会社日立製作所) 1983. 06. 01, 第1頁左下欄第5行乃至第13行 &US 4535295 A	1, 2, 5-17 3, 4

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

26. 02. 2004

国際調査報告の発送日

09. 3. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

阿部 弘

5K

9382

電話番号 03-3581-1101 内線 3555

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 52-86009 A (株式会社日立製作所) 1977. 07. 16, 全文を参照 (ファミリーなし)	2, 12, 17
Y	JP 11-308205 A (日本電気電波機器エンジニアリング株式会社) 1999. 11. 05, 第5図とその説明 (ファミリーなし)	9, 13
A	JP 5-327681 A (株式会社東芝) 1993. 12. 10, 全文を参照 (ファミリーなし)	1-17
A	JP 8-237239 A (株式会社日立製作所) 1996. 09. 13, 全文を参照 &US 5123030 A &US 5267267 A &DE 4007987 A1	1-17
A	JP 2002-15523 A (松下電器産業株式会社) 2002. 01. 18, 全文を参照 (ファミリーなし)	1-17